

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-085960

(43)Date of publication of application : 27.03.1990

(51)Int.Cl. G06F 15/347

(21)Application number : 63-236565 (71)Applicant : NEC CORP

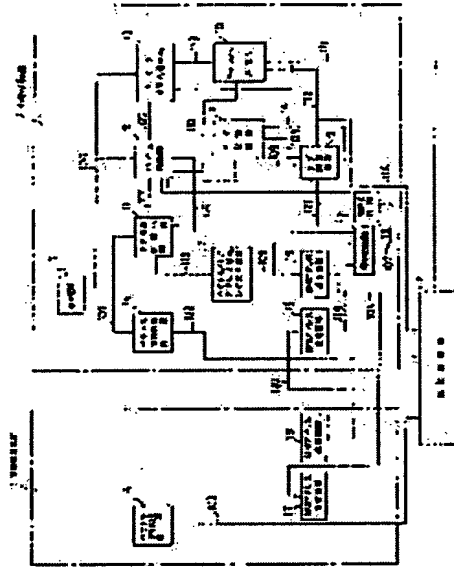
(22)Date of filing : 22.09.1988 (72)Inventor : NISHIMURA HIROYUKI

(54) INFORMATION PROCESSING SYSTEM

(57)Abstract:

PURPOSE: To attain high efficiency in a scalar data load processing by performing the nullifying processing of all the contents of registration in a tag storage means replying to an area detecting signal when receiving the area detecting signal from an area detecting means.

CONSTITUTION: An area detection circuit 12, when receiving a scalar load command, compares a scalar load address sent with the command with the output 105 of a vector store address area register circuit 7 and the output 119 of an area address reception circuit 15 which holds a vector store area address corresponding to the vector store operation of another information processor sent from another information processor via a bus 120. And it is compared whether or not the scalar load address is included in a vector store address area, and the area detecting signal is sent to a nullification circuit 19 via a bus 107 when it is included in the area, and the processing of a tag registration nullification circuit 11 is cancelled by the output of the nullification circuit 19, and also, all the tags of a tag memory circuit 8 are nullified by controlling a tag control circuit 9. In such a way, it is possible to improve the efficiency of a vector store processing.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

This Page Blank (uspto)

⑩ 日本国特許庁(J P)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-85960

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)3月27日

G 06 F 15/347

C
A

7050-5B
7050-5B

審査請求 未請求 請求項の数 2 (全13頁)

⑮ 発明の名称 情報処理システム

⑯ 特 願 昭63-236565

⑰ 出 願 昭63(1988)9月22日

⑱ 発 明 者 西 村 弘 行 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 戸 田 坦 外2名

明 細 書

1. 発明の名称

情報処理システム

2. 特許請求の範囲

1. 主記憶装置と、該主記憶装置を共用する複数の情報処理装置からなる情報処理システムにおいて、

前記主記憶装置との間で少なくとも一つのデータ送受信バスを持ち、該主記憶装置に記憶されたベクトル要素データをアクセスする少なくとも一つのベクトル演算処理手段と、

前記主記憶装置との間でデータの送受信バスを持つスカラ演算処理手段と、

プログラム命令に従って前記ベクトル演算処理手段またはスカラ演算処理手段に対してベクトルデータまたはスカラデータのロード/ストア動作指令を出す指令手段と、

前記主記憶装置との間でデータ送受信バスを持

ち、該主記憶装置のデータの一部の写しを記憶するバッファメモリ手段と、

該バッファメモリ手段の格納ブロックデータに対応する前記主記憶装置のブロックアドレス情報を該ブロックアドレス情報の有効/無効を表示するバリッドビットと共に登録するタグ記憶手段と、

該タグ記憶手段にブロックアドレス情報の新規登録または登録アドレスの無効化処理を制御するタグ制御手段と、

前記指令手段からのベクトルデータストア動作指令にตอบสนองし、該ベクトルデータストア動作指令に伴って発生される複数のベクトル要素に対する夫々のストアアドレスが前記タグ記憶手段に登録されているか否かをチェックし、登録されている場合には前記タグ制御手段に登録アドレスの無効化を指示するタグ無効化指示手段と、

前記ベクトルストア動作指令に対応して、前記主記憶装置上のストア開始アドレスとストア終了アドレスをアドレス領域として出力するベクトルストアアドレス手段と、

特開平2-85960 (2)

該ベクトルストアアドレス手段の出力を前記複数の情報処理装置にベクトルストア処理中か否かを示す有効／無効表示ビットと共に出力するアドレス領域出力手段と、

前記複数の情報処理装置からのベクトルストアアドレス手段の出力を夫々の有効／無効表示ビットと共に受信するアドレス領域受信手段と、

前記ベクトルデータストア動作指令にตอบสนองして、前記タグ登録無効化指示手段が動作を完了し、前記有効／無効表示ビットをオフにする前か、または前記複数の情報処理装置からの夫々の有効／無効表示ビットがオフになる前に、前記指令手段から後続のスカラデータロード動作指令を受けとると、該スカラデータロード動作指令に伴って受けとられるスカラデータロードアドレスが前記ベクトルストアアドレス手段で示されるアドレス領域内に入っているか否か、また前記アドレス領域受信手段で示される他情報処理装置からの前記主記憶装置に対するベクトルストア動作中有効ビットがオンになっているアドレス領域内にあるか否

かをチェックし、領域内にあれば領域内検出信号を出力する領域検出手段と、

前記指令手段からのスカラデータロード動作指令を処理中に、前記領域検出手段から前記領域内検出信号が出力されると、該領域内検出信号にตอบสนองして、前記タグ記憶手段の登録内容を全て無効化処理すると共に、前記アドレス領域受信手段内の有効／無効表示ビットをオフにし、かつ前記無効化指示手段の動作をキャンセルする無効化手段とを有することを特徴とする情報処理システム。

2. 主記憶装置と、該主記憶装置を共用する複数の情報処理装置からなる情報処理システムにおいて、

前記主記憶装置との間で少なくとも一つのデータ送受信バスを持ち、該主記憶装置に記憶されたベクトル要素データをアクセスする少なくとも一つのベクトル演算処理手段と、

前記主記憶装置との間でデータの送受信バスを持つスカラ演算処理手段と、

プログラム命令に従って前記ベクトル演算処理

手段またはスカラ演算処理手段に対してベクトルデータまたはスカラデータのロード／ストア動作指令を出す指令手段と、

前記主記憶装置との間でデータ送受信バスを持ち、該主記憶装置のデータの一部の写しを記憶するバッファメモリ手段と、

該バッファメモリ手段の格納ブロックデータに対応する前記主記憶装置のブロックアドレス情報を該ブロックアドレス情報の有効／無効を表示するバリッドビットと共に登録するタグ記憶手段と、

該タグ記憶手段にブロックアドレス情報の新規登録または登録アドレスの無効化処理を制御するタグ制御手段と、

前記指令手段からのベクトルデータストア動作指令にตอบสนองし、該ベクトルデータストア動作指令に伴って発生される複数のベクトル要素データの夫々のデータに対する前記主記憶装置上のストアアドレスが前記タグ記憶手段に登録されているか否かをチェックし、登録されている場合には前記タグ制御手段に登録アドレスの無効化を指示す

るタグ無効化指示手段と、

前記ベクトルストア動作指令に対応する前記主記憶装置上のストア開始アドレスとストア終了アドレスをアドレス領域として出力し、かつ複数のベクトル要素データに対して各データをストアする毎に対応して前記アドレス領域の巾を減少させるように動作するベクトルストアアドレス手段と、

該ベクトルストアアドレス手段の出力及びベクトルストア処理中か否かを示すストア処理表示ビットを前記複数の情報処理装置に送出するアドレス領域出力手段と、

前記複数の情報処理装置から夫々送出されるアドレス領域出力手段の出力を受信する複数のアドレス領域受信手段と、

前記ベクトルデータストア動作指令にตอบสนองして、前記タグ登録無効化指示手段が動作を完了し、前記ストア処理表示ビットをオフにする以前、または前記複数の情報処理装置から送られてくる前記ストア処理表示ビットが全てオフになる以前に、前記指令手段から後続のスカラデータロード動作

特開平2-85960 (3)

指令を受けとると、該スカラデータロード動作指令に伴なって受けとられるスカラデータロードアドレスが前記ベクトルストアアドレス手段で示されるアドレス領域内にあるか否か、また前記複数個のアドレス領域受信手段で示される他情報処理装置の前記主記憶装置に対するストア処理表示ビットがオンになっている場合、対応する他情報処理装置から送られて来ているアドレス領域内に前記スカラデータロードアドレスが入っているか否かをチェックし、領域内に入っていれば領域内検出信号を出力する領域検出手段と、

前記指令手段からのスカラデータロード動作指令を処理中に、前記領域検出手段からの前記領域内検出信号を受けると、該領域内検出信号に応じて、前記タグ記憶手段の登録内容を全て無効化すると共に、前記アドレス領域受信手段内の有効/無効表示ビットをオフにし、かつ前記無効化指示手段の動作をキャンセルする無効化手段とを有することを特徴とする情報処理システム。

以下余白

ルストアアドレスに対応したデータが登録されているか否かをチェックし、登録されていればタグ記憶回路に登録されている該当アドレスを無効化する無効化回路を持たせる方式は、従来から知られている。

一般には、この無効化動作は、実際の主記憶装置へのベクトル要素ストア動作とは独立に行なわれ、且つ無効化動作の処理効率を向上させる為、複数個の無効化回路を持たせる方法等も知られている。

然し乍ら、主記憶装置を共用する並列処理装置構成においては、他情報処理装置から主記憶装置に対してベクトルストア動作が行われると、自情報処理装置が持っているキャッシュメモリ回路のデータと主記憶装置とのデータの一致性を保証する為に、他の情報処理装置から主記憶装置へのベクトルストアアドレスを受けとって自情報処理装置のキャッシュメモリ回路に該当するアドレスのデータが登録されているか否かをチェックするキャッシュ無効化処理が必要である。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はベクトル演算処理及びスカラ演算処理を制御実行する情報処理システムに関するもので、特に主記憶装置を共用し、キャッシュメモリを持つ並列処理装置に於けるベクトルデータストア処理中のスカラデータロード処理を効率良く行う為のキャッシュ一致処理制御方式に関するものである。

〔従来の技術〕

キャッシュメモリ回路を持つスカラ演算処理装置と主記憶装置に対して複数個のインターフェースを持ち、複数のベクトル要素データを同時にアクセスすることの出来る並列ベクトル演算処理装置とを有する情報処理システムにおいて、ベクトル演算処理装置が行なうベクトル要素の主記憶装置に対するストア動作に対応して、スカラ演算処理装置で持っているキャッシュメモリ回路の内容を保証する為に、ベクトルストアアドレスをタグ記憶回路に送り、キャッシュメモリ回路にベクトル

従来、この種の処理は、シーケンシャルに行なっている為、他情報処理装置のベクトルストア動作に対するキャッシュ無効化処理が終了するのを待って、自情報処理装置のキャッシュメモリ回路に対するスカラロード命令を実行している。

〔発明が解決しようとする課題〕

上述した従来の方式では、自情報処理装置又は他情報処理装置からのベクトルストア命令の後続のスカラロード命令は、たとえ自処理装置のバッファメモリ回路に要求しているスカラデータが存在している場合も、バッファメモリ回路のデータ保証が終了する迄実行を中断している為、スカラロード命令の高速化が行えないという欠点があった。

〔課題を解決するための手段〕

本発明の情報処理システムの1つは、主記憶装置と、該主記憶装置を共用する複数の情報処理装置からなる情報処理システムにおいて、

該主記憶装置との間でデータの送受信バスを持ち、該主記憶装置に記憶されたベクトル要素デー

特開平2-85960 (4)

タをアクセスするベクトル演算処理手段と、

前記主記憶装置との間でデータの送受信バスを持つスカラ演算処理手段と、

プログラム命令に従って前記ベクトル演算処理手段または前記スカラ演算処理手段に対してベクトルデータまたはスカラデータのロード/ストア動作指令を出す指令手段と、

前記主記憶装置との間でデータ送受信バスを持ち、該主記憶装置とのデータの一部の写しを記憶するバッファメモリ手段と、

該バッファメモリ手段の格納ブロックデータに対応する前記主記憶装置のブロックアドレス情報を該ブロックアドレス情報の有効/無効を表示するバリッドビットと共に登録するタグ記憶手段と、

該タグ記憶手段にブロックアドレス情報の新規登録または登録アドレスの無効化処理を制御するタグ制御手段と、

前記指令手段からのベクトルデータストア動作指令に回答し、該ベクトルデータストア動作指令に伴なって発生される複数のベクトル要素に対す

る夫々のストアアドレスが前記タグ記憶手段に登録されているか否かをチェックし、登録されている場合には前記タグ制御手段に登録アドレスの無効化を指示するタグ無効化指示手段と、

前記ベクトルストア動作指令に対応して、前記主記憶装置上のストア開始アドレスとストア終了アドレスをアドレス領域として出力するベクトルストアアドレス手段と、

該ベクトルストアアドレス手段の出力を前記複数の情報処理装置にベクトルストア処理中か否かを有効/無効表示ビットと共に出力するアドレス領域出力手段と、

前記複数の情報処理装置からのベクトルストアアドレス手段の出力を夫々の有効/無効表示ビットと共に受信するアドレス領域受信手段と、

前記ベクトルデータストア動作指令に回答して、前記タグ登録無効化指示手段が動作を完了し、前記有効/無効表示ビットをオフにする前か、または前記複数の情報処理装置から夫々の有効/無効表示ビットがオフになる前に、前記指令手段から

後続のスカラデータロード動作指令を受けると、該スカラデータロード動作指令に伴なって受けとられるスカラデータロードアドレスが前記ベクトルストアアドレス手段で示されるアドレス領域内に入っているか否か、また前記アドレス領域受信手段で示される他情報処理装置からの前記主記憶装置に対するベクトルストア動作中有効ビットがオンになっているアドレス領域内にあるか否かをチェックし、領域内にあれば領域内検出信号を出力する領域検出手段と、

前記指令手段からのスカラデータロード動作指令を処理中に、前記領域検出手段から前記領域内検出信号が出力されると、該領域内検出信号に回答して、前記タグ記憶手段の登録内容を全て無効化処理すると共に、前記アドレス領域受信手段内の有効/無効表示ビットをオフにし、かつ前記無効化指示手段の動作をキャンセルする無効化手段とを有する。

本発明の情報処理システムの他の1つは、主記憶装置と、該主記憶装置を共用する複数の情報処

理装置からなる情報処理システムにおいて、

該主記憶装置との間でデータの送受信バスを持ち、該主記憶装置に記憶されたベクトル要素データをアクセスするベクトル演算処理手段と、

前記主記憶装置との間でデータの送受信バスを持つスカラ演算処理手段と、

プログラム命令に従って前記ベクトル演算処理手段またはスカラ演算処理手段に対してベクトルデータまたはスカラデータのロード/ストア動作指令を出す指令手段と、

前記主記憶装置との間でデータ送受信バスを持ち、該主記憶装置のデータの一部の写しを記憶するバッファメモリ手段と、

該バッファメモリ手段の格納ブロックデータに対応する前記主記憶装置のブロックアドレス情報を該ブロックアドレス情報の有効/無効を表示するバリッドビットと共に登録するタグ記憶手段と、

該タグ記憶手段にブロックアドレス情報の新規登録または登録アドレスの無効化処理を制御するタグ制御手段と、

特開平2-85960 (5)

前記指令手段からのベクトルデータストア動作指令にตอบสนองし、該ベクトルデータストア動作指令に伴って発生される複数のベクトル要素データの夫々のデータに対する前記主記憶装置上のストアアドレスが前記タグ記憶手段に登録されているか否かをチェックし、登録されている場合には前記タグ制御手段に登録アドレスの無効化を指示するタグ無効化指示手段と、

前記ベクトルストア動作指令に対応する前記主記憶装置上のストア開始アドレスとストア終了アドレスをアドレス領域として出力し、かつ複数のベクトル要素データに対して各データをストアする毎に対応して前記アドレス領域の巾を減少させるように動作するベクトルストアアドレス手段と、該ベクトルストアアドレス手段の出力及びベクトルストア処理中か否かを示すストア処理表示ビットを前記複数の情報処理装置に送出するアドレス領域出力手段と、

前記複数の情報処理装置から夫々送出されるアドレス領域出力手段の出力を受信する複数のアド

レス領域受信手段と、

前記ベクトルデータストア動作指令にตอบสนองして、前記タグ登録無効化指示手段が動作を完了し、前記ストア処理表示ビットをオフにする以前に、または前記複数の情報処理装置から送られてくる前記ストア処理表示ビットが全てオフになる以前に、前記指令手段から後続のスカラデータロード動作指令を受けとると、該スカラデータロード動作指令に伴って受けとられるスカラデータロードアドレスが前記ベクトルストアアドレス手段で示されるアドレス領域内にあるか否か、また前記複数のアドレス領域受信手段で示される他情報処理装置の前記主記憶装置に対するストア処理表示ビットがオンになっている場合、対応する他情報処理装置から送られて来ているアドレス領域内に前記スカラデータロードアドレスが入っているか否かをチェックし、領域内に入っていれば領域内検出信号を出力する領域検出手段と、

前記指令手段からのスカラデータロード動作指令を処理中に、前記領域検出手段からの前記領域

内検出信号を受けとると、該領域内検出信号にตอบสนองして、前記タグ記憶手段の登録内容を全て無効化処理すると共に、前記アドレス領域受信手段内の有効/無効表示ビットをオフにし、かつ前記無効化指示手段の動作をキャンセルする無効化手段とを有する。

〔実施例〕

次に本発明について図面を参照しながら詳細に説明する。

まず、第1図を用いて、本発明の第1の実施例について説明を行う。

本実施例では説明を簡単にする為に、2台の情報処理装置1、2が1台の主記憶装置5を共用するケースについて説明する。

情報処理装置2に於いて、指令回路3からベクトルデータストア指令がバス101を介してベクトル演算処理装置14及びタグ登録無効化回路11に送られると、ベクトル演算処理装置14はバス102を介して主記憶装置5に対してベクトルストア動作を実行する。ベクトルストアアドレ

ス領域レジスタ回路7では、バス115を介してタグ登録無効化回路11から送られてくるベクトルストアの開始アドレス(B)及びベクトル要素間距離(D)及びベクトルストアの要素数(E)の情報から、ベクトルストア開始アドレス(B)と終了アドレス $= (B) \pm (D) \times (E)$ を計算し結果を保持する。ここで、式の±は、ストアデータが上アドレス方向か下アドレス方向かを示す。また、タグ登録無効化回路11では、バス101を介して送られてくるベクトルストア情報からベクトルストアアドレス(B)、 $(B \pm D)$ 、 $(B \pm 2D)$ 、… $(B \pm E \times D)$ を作成し、キャッシュ制御回路6にバス117を介して図示していないがキャッシュ無効化リクエストと共に送られる。

スカラロード指令を受けとると、領域検出回路12では、一緒に送られてくるスカラロードアドレスをベクトルストアアドレス領域レジスタ回路7の出力105及び他情報処理装置1からバス120を介して送られてくる他情報処理装置のベクトルストア動作に対応したベクトルストア領域

特開平2-85960 (6)

アドレスを保持する領域アドレス受信回路15の出力119を比較し、スカラロードアドレスがベクトルストアアドレス領域内に入っているか否かが比較され、領域内に入っていると、領域内検出信号がバス107を介して無効化回路19に送られ、該無効化回路19の出力によりタグ登録無効化回路11の処理をキャンセルし、かつタグ制御回路9を制御し、タグ記憶回路8の全てのタグを無効化する。

一方、キャッシュ制御回路6では、対応するスカラロード指令が前記動作によりキャッシュミスヒットとなり、直接主記憶装置5にバス118を介して送出される。スカラロード指令に対する主記憶装置5からのリプライデータは、バス111を介してキャッシュメモリ10に登録され、かつスカラ演算処理回路13にも返される。領域内検出信号が出なければ、まず、スカラロードアドレスがタグ記憶回路8に登録されているか否かを調べ、登録されていれば、キャッシュメモリ10から読み出されたスカラデータがバス113を介し

てスカラ演算処理回路13に送られる。また、タグ記憶回路8にスカラロードアドレスが登録されていなければ、バス111を介して主記憶装置5からスカラロードアドレスデータを含むブロックデータがキャッシュメモリ10に登録され、タグ記憶回路8にもスカラロードアドレスを含むブロックアドレスがタグ制御回路9の指示により登録され、キャッシュメモリ10から再びスカラロードデータを読み出し、スカラ演算処理回路13にロードデータが送られる。

以上の動作が第1の実施例による具体例の説明である。

次に第2図を参照して、タグ記憶回路8及びタグ登録無効化指示回路11について、さらに詳しく説明する。

指令回路3からベクトルストア指令がバス101を介してタグ登録無効化回路11に送出されると、一緒に送られるベクトルストアの開始アドレス(B)及びベクトル要素間距離(D)及びベクトルストアの要素数(E)が、それぞれ開始アドレ

ス201、ベクトル要素間距離レジスタ202、要素数レジスタ203にセットされる。

開始アドレスレジスタ201の出力は、切替回路204を介して加算器入力レジスタ205に送られ、ベクトル要素間距離レジスタ202の出力は、加算器206に送られる。加算器206は、加算器入力レジスタ205の出力とベクトル要素間レジスタ202の出力を加算し、結果は切替回路204とベクトルストアアドレスレジスタ207に送られる。

ベクトルストアアドレスレジスタ207の出力は、加算器206の結果がセットされる毎に、バス117を介してキャッシュ制御回路6にキャッシュ無効化リクエストとして送られ、タグ検索アドレスレジスタ502に切替回路501を介してセットされる。

また、ベクトルストアアドレスレジスタ207には、ベクトルストアアドレスが要素数(E)回数だけセットされ、キャッシュ制御回路6に(E)回ベクトルストアアドレスとして転送される。

ここで、切替回路501の切替制御は、本実施例では詳しく示していないが、スカラロードストアリクエストがバス505を介してスカラリクエストレジスタ500から送られてくるタイミングと、バス117を介してベクトルストアアドレスレジスタ207からキャッシュ無効化リクエストが送られてくるタイミングが一致した場合には、スカラロード/ストアリクエストを優先して処理するものとし、その間タグ登録無効化回路11の処理は中断する必要があるが、これらの制御は一般的に考えられるリクエスト競合制御方式を適用すればよく、本発明とは直接関係しないので、詳細な説明は省略する。

タグ登録無効化回路11に於いては、ベクトルストアアドレスの作成及び転送は、要素数レジスタ203の出力を減算器209を通して、ベクトルストアアドレス制御回路211で零が検出される迄実行される。一方、第1図で説明した様に、無効化回路19からの制御信号121により減算結果レジスタがリセットされると、ベクトルストア

特開平2-85960 (7)

アドレス制御回路211で零が検出され、タグ登録無効化回路11の動作は強制終了させられる。

タグ検索アドレスレジスタ502にベクトルストアアドレスがセットされると、該アドレスの下位ブロック内アドレス部がバス110を介してタグメモリ301とタグVビットメモリ305に送られ、該当するブロックアドレス及びVビットが読み出され、比較回路401、402 AND/NANDゲート403、404に送られる。本実施例では、バッファメモリは2コンパートメント(レベル)を考えている。

比較回路401、402では、タグメモリ回路301の出力とタグ検索アドレスレジスタ502の上位ブロックアドレス情報とが比較され、比較結果がAND/NANDゲート403、404でタグVビットメモリ回路305の出力とレベル毎に夫々AND条件がとられる。比較回路401または402で比較一致がとれ、且つ該当ブロックアドレスの有効性を表示するタグVビットメモリ回路305の出力がオン状態であれば、両レベル

の一致信号のORがNANDゲート405でとられ、ヒット信号がヒット表示フラグ407にセットされ、その時のヒットレベルが0レベル系であればレベル0一致フラグ408がセットされる。

ヒット表示フラグ407がセットされると、タグ検索アドレスレジスタ502の下位ブロック内アドレス情報が無効化アドレスレジスタ406にセットされ、出力はタグ記憶回路8に送られる。ヒット表示フラグ407の出力は、ANDゲート409でキャッシュ制御回路6のキャッシュタイミング制御部503からのタイミング信号506とAND条件をとり、タグ記憶回路8の中のタグVビットメモリ305のVビットを0にセットする為の書き込みは、"0"レベル信号303の出力が切替回路304で選択される。

一方、無効化回路19からの制御信号121が全タグ無効化アドレス回路411に入力される。該出力は、切替回路412を介してタグVビットメモリ305に送られ、全タグビットがクリアされる。

以上がタグ記憶回路8のベクトルストアアドレスの無効化処理方法の説明である。

次に、ベクトルストアアドレス領域レジスタ回路7、領域検出回路12、及び領域アドレス送、受信回路15、16について第3図のブロック図を参照して説明する。

情報処理装置2の指令回路3からのベクトルデータストア指令が、タグ登録無効化回路11経由でバス115を介してベクトルストアアドレス領域レジスタ回路7に出されると、一緒に送られるベクトルストアの開始アドレス(B)、ベクトル要素間距離(D)、及びベクトルストアの要素数(E)が、それぞれ開始アドレスレジスタ600、ベクトル要素間距離レジスタ601、及び要素数レジスタ602にセットされる。開始アドレスレジスタ600の出力は、加算器604とベクトルストア開始アドレスレジスタ606に送られる。要素間距離レジスタ601と要素数レジスタ602の出力は、乗算器603に入力され、 $D \times E$ の出力が加算器604に入力され、加算器604から

は、 $B + D \times E$ の演算結果がベクトルストア終了アドレスレジスタ605にセットされる。

これらの2つのレジスタ605、606の内容が有効なのは、ベクトルストアアドレス制御回路211(第2図)でベクトル検索素数が零を検出する迄の間である。即ち、ベクトルデータストア指令に対するタグ登録無効化処理実行中の間だけ、ベクトルストア開始アドレスレジスタ606とベクトル終了アドレスレジスタ605の内容は有効である。一方、レジスタ605、606の出力は、ベクトルストア終了アドレス送信レジスタ609とベクトルストア開始アドレス送信レジスタ610に送られるが、この内容は情報処理装置2からの主記憶装置5に対するベクトルストア動作が完了する迄、有効な内容を保持している。

同様に、ベクトルストア終了アドレス受信レジスタ607及びベクトルストア開始アドレス受信レジスタ608の内容は、情報処理装置1から主記憶装置5に対するベクトルストア動作が完了する迄、有効な値が保持される。

特開平2-85960 (8)

領域アドレス受信回路15とベクトルストア終了アドレスレジスタ605、ベクトルストア開始アドレスレジスタ606にある値がセットされ、有効な期間中にスカラデータロード指令が指令回路3からキャッシュ制御回路6に出されると、一緒に転送されてくるスカラデータロードアドレス情報がスカラリクエストレジスタ500から領域検出回路12及びタグ検索アドレスレジスタ502に送られる。

領域検出回路12では、減算器702でベクトルストア終了アドレスレジスタ605の出力からスカラロードアドレス情報116が減算され、結果が正值であれば減算可能(キャリーアウト)信号706が出され、減算器703では逆にスカラロードアドレス情報116からベクトルストア開始アドレスレジスタ606の出力が減算し、同様に結果が正值であれば減算可能(キャリーアウト)信号707が出力される。即ち、信号706と信号707がゲート709で条件がとられれば、スカラロードアドレスがベクトルストア開始アドレス

とベクトルストア終了アドレスの間に入っている事を意味する。

このケースでは、スカラデータロードアドレスとベクトルデータストアアドレスが一致する可能性があり、タグ登録無効化処理が終了する前にキャッシュメモリ10からスカラデータのロードを実行すると、ベクトルストアで主記憶装置5の内容が変更されようとしているのにその変更前のキャッシュメモリ10の内容をロードしてしまう結果となる。

そこで、上記ゲート709で条件がとられれば、無効化回路19に対して制御信号107を送り、すでに説明した様に、タグ登録無効化回路11の処理をキャンセル、かつタグ制御回路9を制御し、タグ記憶回路8の全てのタグを無効化する。

一方、同様に、減算器700、701を使って、領域アドレス受信回路の内容とスカラロードアドレスの内容が比較され、他の情報処理装置1の主記憶装置5に対するベクトルストア領域内にスカラロードアドレスが入っているかどうか調べられ、

領域内に入っていれば、キャッシュメモリ10と主記憶装置5の内容の一致性がとれなくなる可能性があるので、無効化回路19に対して同様に制御信号107が送出される。

この様に、複数の情報処理装置が共用する主記憶装置に対して、ベクトルストア実行中に、後続のスカラロード命令を中断することなく処理することが出来る。

第4図を参照すると、本発明の第2の実施例による情報処理システムは、ベクトルストアアドレス領域回路20が付加されている点を除いて、第1図に示した第1の実施例と同様の構成を有する。従って、第1の実施例と同様の機能を有するものには同一参照符号を付し、それらの説明については省略する。

スカラロード指令を受けると、領域検出回路12では、一緒に送られてくるスカラロードアドレスをベクトルストアアドレス領域回路20の出力123及び他情報処理装置1からバス120を介して送られてくる他情報処理装置のベクトルス

トア動作に対応したベクトルストアアドレス領域アドレスを保持する領域アドレス受信回路15の出力119を比較し、スカラロードアドレスがベクトルストアアドレス領域内に入っているか否かが比較され、領域内に入っていると、領域内検出信号がバス107を介して無効化回路19に送られ、該無効化回路19の出力によりタグ無効化回路11の処理をキャンセルし、かつタグ制御回路9を制御し、タグ記憶回路8の全てを無効化する。

次に、ベクトルストアアドレス領域レジスタ回路7、ベクトルストアアドレス領域回路20、領域アドレス受信回路15及び領域検出回路12について、第5図のブロック図を参照して説明する。

情報処理装置2の指令回路3からのベクトルデータストア指令が、タグ登録無効化回路11経由でバス115を介してベクトルストアアドレス領域レジスタ回路7に出されると、一緒に送られるベクトルストアの開始アドレス(B)、ベクトル要素間距離(D)、及びベクトルストアの要素数(E)が、それぞれ開始アドレスレジスタ600、

特開平2-85960 (9)

ベクトル要素間距離レジスタ601、及び要素数レジスタ602に夫々セットされる。開始アドレスレジスタ600の出力は、加算器604とベクトルストア開始アドレスレジスタ606に送られる。要素間距離レジスタ601と要素数レジスタ602の出力は、乗算器603に入力され、 $D \times E$ の出力が加算器604に入力され、加算器604からは $B + D \times E$ の演算結果がベクトルストア終了アドレスレジスタ605にセットされる。また、レジスタ605、605の出力は、ベクトルストアアドレス領域回路20内のベクトルストア終了アドレスレジスタ801とベクトルストアベースレジスタ803に送られるが、レジスタ803の内容はタグ登録無効化回路11の無効化処理とベクトルデータの各要素データのストア動作が行われる毎に、ベクトル要素間距離レジスタ804の内容と加算器806で加算され、ベクトルストアベースアドレスレジスタ811にセットされる。即ち、レジスタ801とレジスタ811で示されるベクトルストアアドレス領域は、無効化処理と

811の内容が更新される毎に-1され、残要素レジスタ809に結果がセットされ、減算制御回路810で零が検出される迄、実行される。

領域検出回路12では、減算器702でベクトル終了アドレスレジスタ801の出力からスカラロードアドレス情報116が減算され、結果が正值であれば減算可能(キャリアウト)信号706が出され、減算器703では逆にスカラロードアドレス情報116からベクトルストアベースアドレスレジスタ811の内容が減算し、同様に結果が正值であれば減算可能(キャリアウト)信号707が出力される。即ち、信号705と707がゲート709で条件がとれれば、スカラロードアドレスがベクトルストア開始アドレスとベクトルストア終了アドレスの間に入っている事を意味する。

このケースでは、スカラロードアドレスとベクトルデータストアアドレスが一致する可能性があり、タグ登録無効化処理が終了する前にキャッシュメモリ10からスカラデータのロードを実行す

ベクトルデータの各要素データストア処理が実施される毎に決められ、これらの内容は、情報処理装置2からの主記憶装置5に対するベクトルストア動作が完了する迄、有効な値を示す。

一方、ベクトルストア終了アドレス受信レジスタ607及びベクトルストア開始アドレス受信レジスタ608の内容も、情報処理装置1から主記憶装置5に対してベクトルストア動作が完了する迄有効な値を保持する。

領域アドレス受信回路15と、ベクトルストア終了アドレスレジスタ801、ベクトルストアベースアドレスレジスタ811にある値がセットされ、有効な期間中にスカラデータロード指令が指令回路3からキャッシュ制御回路6に出されると、一緒に転送されてくるスカラデータロードアドレス情報がスカラリクエストレジスタ500から領域検出回路12及びタグ検索アドレスレジスタ502に送られる。ベクトルストアアドレス領域回路20における要素数レジスタ805の内容は、減算器808でベクトルストアアドレスレジスタ

と、ベクトルストアで主記憶装置5の内容が変更されようとしているのにその変更前のキャッシュメモリ10の内容をロードしてしまう結果となる。

そこで、上記ゲート709で条件がとれれば、無効化回路19に対して制御信号107を送り、すでに説明した様に、タグ登録無効化回路11の処理をキャンセルし、かつタグ制御回路9を制御し、タグ記憶回路8の全てのタグを無効化する。

一方、同様に、減算器700、701を使って、領域アドレス受信回路の内容とスカラロードアドレスの内容が比較され、他の情報処理装置1の主記憶装置5に対するベクトルストア領域内にスカラロードアドレスが入っているかどうか調べられ、領域内に入っていれば、キャッシュメモリ10と主記憶装置5の内容の一致性がとれなくなる可能性があるので、無効化回路19に対して同様に制御信号107が送出される。

この様に、複数の情報処理装置が共用する主記憶装置に対して、ベクトルストア実行中に、後続

特開平2-85960 (10)

のスカラロード命令を中断することなく処理することが出来る。

〔発明の効果〕

以上説明したように、本発明は、ベクトル演算命令におけるベクトル要素のストア動作は、①連続番地へのストア動作、②一定距離(D)番地毎へのストア動作、③ランダムな番地へのストア動作に大別されるが、①と②のストア動作が殆んどである性質を利用し、①と②のストア動作中はストアアドレスの開始アドレスと終了アドレスを前もってベクトルストアアドレス領域レジスタに保持し、主記憶装置を共用する装置間でその内容を参照することにより、後続のスカラロード命令のロードアドレスがベクトルストアアドレス領域内に入っていないければ、ベクトルストア処理の追い越し処理を可能にし、性能を向上させることができるという効果がある。又、①と②のストア動作中はストアアドレスの開始アドレスと終了アドレスを前もってベクトルストアアドレス領域レジスタに保持し、且つ該レジスタはベクトル要素がス

トアされる毎に、領域を対応してせばめることにより、主記憶装置を共用する装置間でその内容を参照することにより、後続のスカラロード命令のロードアドレスがベクトルストアアドレス領域内に入っていないければ、ベクトルストア処理の追い越し処理を可能にし性能を効率的に向上させることができるという効果がある。

また、本発明では、スカラロード命令のロードアドレスがベクトルストアアドレス領域内に入っていた場合、キャッシュメモリを全クリアすることにより、制御も簡単に出来、高速化が行えるという効果がある。

4. 図面の簡単な説明

第1図は本発明の第1の実施例による情報処理システムの構成を示すブロック図、第2図は第1図で示したタグ登録無効化回路、タグ記憶回路、タグ制御回路、及びキャッシュ制御回路の詳細な構成を示すブロック図、第3図は第1図で示したベクトルストアアドレス領域レジスタ回路、領域

検出回路、領域アドレス受信回路、領域アドレス送信回路、及びキャッシュ制御回路の詳細な構成を示すブロック図、第4図は本発明の第2の実施例による情報処理システムの構成を示すブロック図、第5図は第4図で示したベクトルストアアドレス領域レジスタ回路、領域検出回路、領域アドレス受信回路、ベクトルストアアドレス領域回路、及びキャッシュ制御回路の詳細な構成を示すブロック図である。

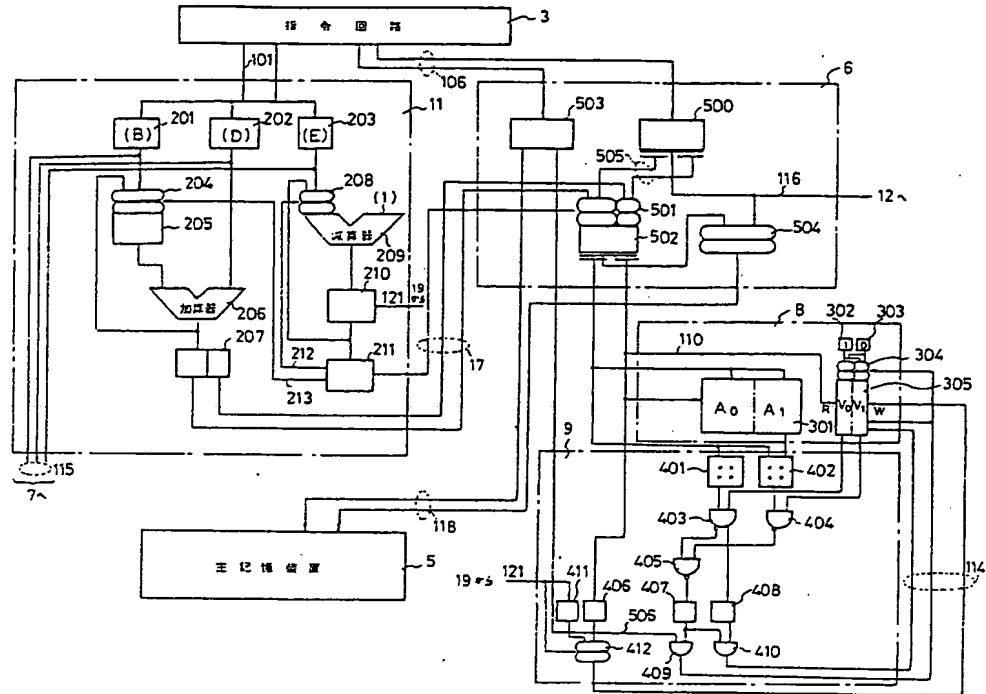
1, 2…情報処理装置、3…指令回路、4…ベクトル演算処理装置、5…主記憶装置、6…キャッシュ制御回路、7…ベクトルストアアドレス領域レジスタ回路、8…タグ記憶回路、9…タグ制御回路、10…キャッシュメモリ、11…タグ登録無効化回路、12…領域検出回路、13…スカラ演算処理回路、14…ベクトル演算処理装置、15…領域アドレス受信回路、16…領域アドレス送信回路、17…領域アドレス受信回路、18…領域アドレス送信回路、19…無効化回路、20…ベクトルストアアドレス領域回路、101

…124…信号バス、201…開始アドレスレジスタ、202…ベクトル要素間距離レジスタ、203…要素数レジスタ、204…切替回路、205…加算器入力レジスタ、206…加算器、207…ベクトルストアアドレスレジスタ、208…切替回路、209…減算器、210…減算結果レジスタ、211…ベクトルストアアドレス制御回路、212, 213…信号バス、301…タグメモリ回路、302…“1”レベル信号、303…“0”レベル信号、304…切替回路、305…タグVビットメモリ回路、401, 402…比較回路、403…AND/NANDゲート、404, 405…NANDゲート、406…無効化アドレスレジスタ、407…ヒット表示フラグ、408…レベル0一致フラグ、409…ANDゲート、410…ANDゲート、411…全タグ無効化アドレス回路、412…切替回路、500…スカラリクエストレジスタ、501…切替回路、502…タグ検索アドレスレジスタ、503…キャッシュタイミング制御部、504…切替回路、505

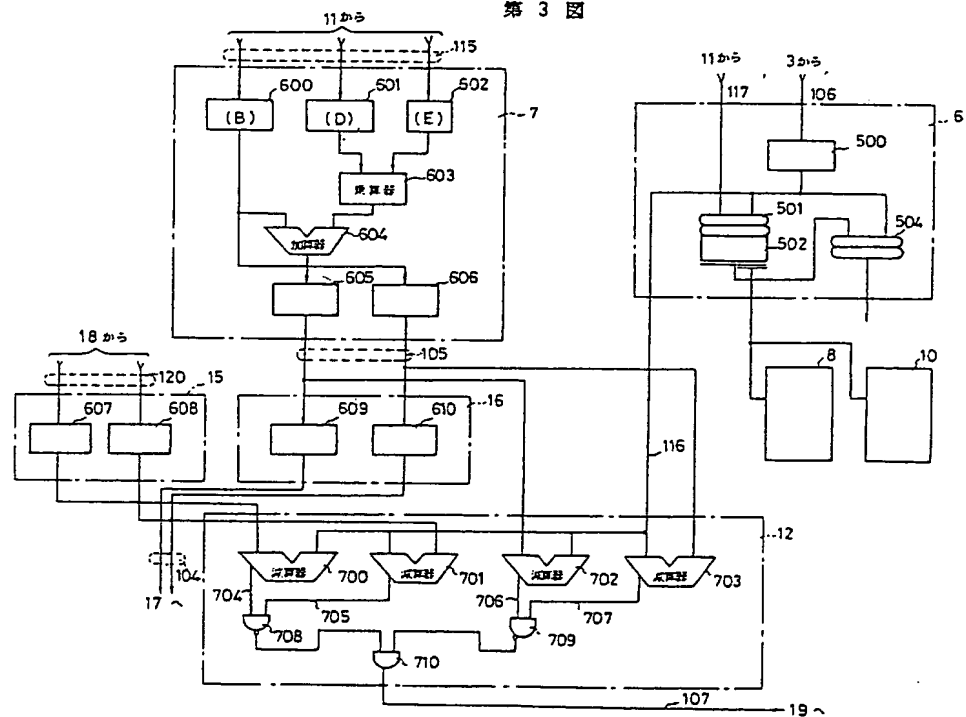
…信号バス、506…タイミング信号、600…
開始アドレスレジスタ、601…ベクトル要素間
距離レジスタ、602…要素数レジスタ、603
…乗算器、604…加算器、605…ベクトルスト
ア終了アドレスレジスタ、606…ベクトルスト
ア開始アドレスレジスタ、607…ベクトルスト
ア終了アドレス受信レジスタ、608…ベクトル
ストア開始アドレス受信レジスタ、609…ベク
トルストア終了アドレス送信レジスタ、610…
ベクトルストア開始アドレス送信レジスタ、700
～703…減算器、704～707…各信号バス、
708、709…NANDゲート、710…AND
ゲート、711…信号バス、801…ベクトル
ストア終了アドレスレジスタ、802…切替回路、
803…ベクトルストアベースレジスタ、804
…ベクトル要素間距離レジスタ、805…要素数
レジスタ、806…加算器、807…切替回路、
808…減算器、809…残要素レジスタ、810
…減算制御回路、811…ベクトルストアベース
アドレスレジスタ。

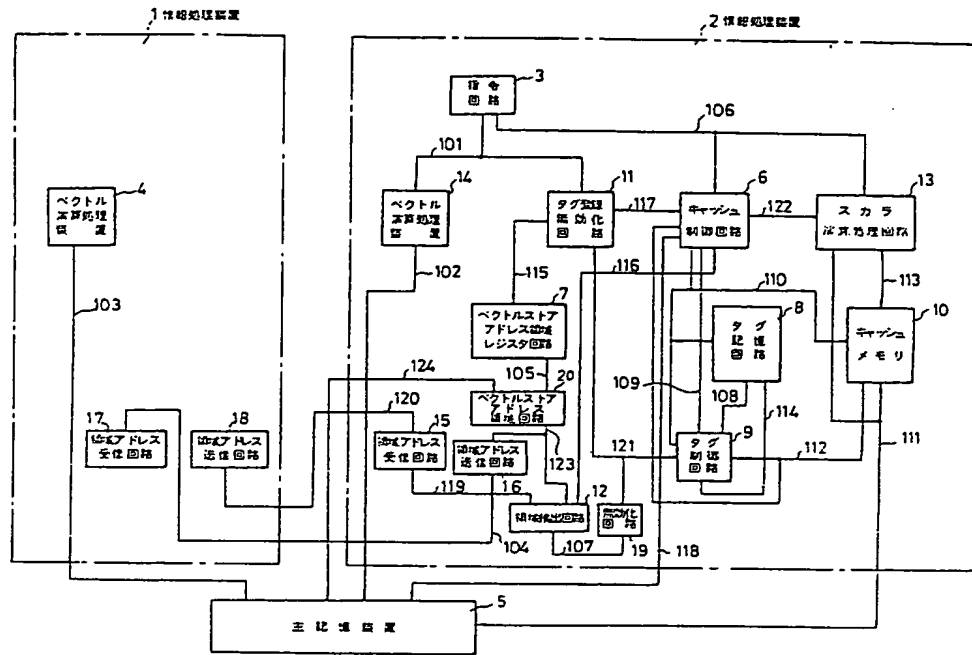
特開平2-85960 (12)

第 2 図

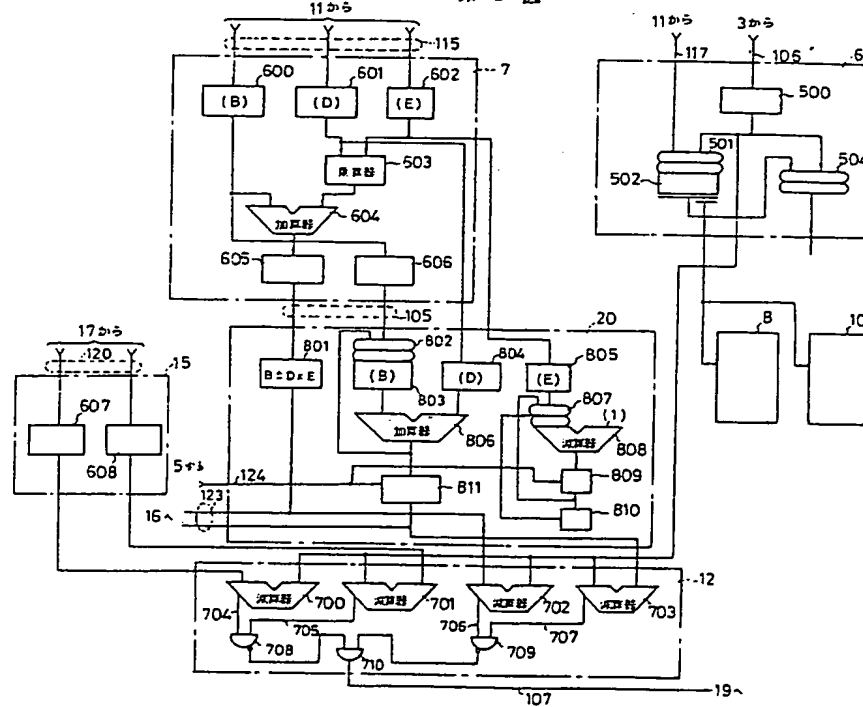


第 3 図





第 5 図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.